

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0040697  
Application Number

출원년월일 : 2002년 07월 12일  
Date of Application

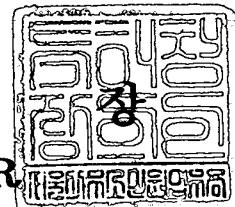
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2002.07.12
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method for manufacturing a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	곽노열
【성명의 영문표기】	KWAK, Noh Yea l
【주민등록번호】	700114-1403116
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 104-1501
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 무 (인) <span style="float: right;">신영</span>
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	31,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통



1020020040697

출력 일자: 2003/4/17

### 【요약서】

#### 【요약】

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 문턱전압 이온을 주입하기 전에 채널영역의 하부에 전기적 성질을 띠지 않는 불활성 이온을 주입하여 확산방지층을 형성하므로써 후속 열처리 과정에서 발생되는 문턱전압 조절용 이온의 하부 확산이 방지되며, P웰에 고전압 인가시 채널영역에서의 이온의 거동이 억제된다. 또한, 상기 확산방지층은 반도체 기판에 존재하는 결함 등을 게터링하는 층으로 작용하며, 상기 불활성 이온의 주입 깊이를 조절하면 채널이온의 양을 조절할 수 있으므로 고집적화에 따른 소자의 문턱전압 조절이 용이해진다.

#### 【대표도】

도 1d

#### 【색인어】

불활성 이온, 확산방지층, 이온주입층, 문턱전압, 내부 확산

**【명세서】****【발명의 명칭】**

반도체 소자의 제조 방법 {Method for manufacturing a semiconductor device}

**【도면의 간단한 설명】**

도 1a 내지 도 1i는 본 발명의 제 1 실시예를 설명하기 위한 소자의 단면도.

도 2는 본 발명에 따른 확산방지층에서의 농도분포를 도시한 그래프도.

도 3a 내지 도 3i는 본 발명의 제 2 실시예를 설명하기 위한 소자의 단면도.

도 4는 본 발명에 따른 이온주입층에서의 농도분포를 도시한 그래프도.

<도면의 주요 부분에 대한 부호의 설명>

1 및 11: 반도체 기판 2 및 12: 희생 산화막

3: 확산방지층 4 및 14: 터널 산화막

5 및 15: 폴리실리콘층 6 및 16: 패드 질화막

7 및 17: 트렌치 8 및 18: 소자분리막

13: 이온주입층

## 【발명의 상세한 설명】

### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 문턱전압 조절용 이온의 내부확산에 따른 문턱전압의 변동을 방지할 수 있도록 한 반도체 소자의 제조 방법에 관한 것이다.

<12> 최근들어 메모리 소자의 집적도가 증가됨에 따라 메모리 셀의 크기도 급격하게 감소된다. 따라서 웨이퍼 당 메모리 셀의 비율을 확보하기 위해 미세 트렌치(Shallow Trench)를 이용한 소자분리막을 이용한다.

<13> 기존의 플래쉬 메모리 소자 제조 공정에서는 반도체 기판에 웰을 형성한 후 터널산화막과 게이트로 사용될 폴리실리콘층을 순차적으로 형성한다. 소자분리용 마스크를 사용하여 폴리실리콘층 및 터널산화막을 패터닝하고, 노출된 반도체 기판을 소정 깊이 식각하여 미세 크기의 트렌치를 형성한다. 수소 분위기에서 열처리하여 트렌치 모서리 부분을 둥글게 만들고  $\text{Si}_3\text{N}_4$  가스를 이용하여 전체 상부면에 질화막을 형성한다. 트렌치가 매립되도록 전체 상부면에 산화막을 두껍게 형성한 후 평탄화 공정을 실시하여 트렌치 내에 소자분리막이 형성되도록 한다.

<14> 이러한 종래의 방법을 이용하면 트렌치의 상부 모서리 부분에서 터널산화막의 피해가 발생되지 않는다. 그러나 문턱전압을 조절하기 위해 주입하는 B11 이온이 후속으로 실시되는 열처리 과정에서 확산(Transient Enhanced Diffusion; TED)되기 때문에 기판 표면부에서의 이온의 농도가 높아지거나 낮아져 문턱전압이 변동되며, FN 터널링 방식으



1020020040697

출력 일자: 2003/4/17

로 소거가 이루어지는 낸드(NAND)형 플래쉬 메모리 셀의 경우 채널의 길이가 변화되어 소자의 전기적 특성 및 신뢰성이 저하된다. 또한, 최소한의 도즈량으로 문턱전압 조절용 이온을 주입하기 때문에 이온의 확산에 의해 웨이퍼 전체 영역에서의 문턱전압이 안정적으로 확보되지 않는다.

#### 【발명이 이루고자 하는 기술적 과제】

<15> 따라서 본 발명은 문턱전압 이온을 주입하기 전에 채널영역의 하부에 전기적 성질을 띠지 않는 불활성 이온을 주입하여 확산방지층을 형성하므로써 상기한 단점을 해소할 수 있는 반도체 소자의 제조 방법을 제공하는 데 그 목적이 있다.

<16> 상기한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 제조 방법은 반도체 기판 상에 희생산화막을 형성하는 단계와, 상기 반도체 기판에 삼중 구조의 웰을 형성하는 단계와, 상기 반도체 기판의 소정 깊이에 불활성 이온을 주입하여 확산방지층을 형성하는 단계와, 상기 희생산화막을 제거한 후 상기 반도체 기판 상에 터널산화막, 폴리실리콘층 및 패드 질화막을 순차적으로 형성하는 단계와, 소자분리용 마스크를 이용하여 상기 패드 질화막을 패터닝한 후 노출된 부분의 폴리실리콘층, 터널산화막 및 반도체 기판을 순차적으로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치가 매립되도록 전체 상부면에 산화막을 형성한 후 표면을 평탄화하고 잔류된 상기 패드 질화막을 제거하여 상기 트렌치 내에 소자분리막이 형성되도록 하는 단계를 포함하는 것을 특징으로 한다.

<17> 또한, 상기한 목적을 달성하기 위한 본 발명에 따른 다른 반도체 소자의 제조 방법은 반도체 기판 상에 희생산화막을 형성하는 단계와, 상기 반도체 기판에 삼중 구조의 웰을 형성하는 단계와, 상기 반도체 기판의 채널영역에 질량이 무거운 이온을 주입하여

이온주입층을 형성하는 단계와, 상기 이온주입층에 문턱전압 조절용 이온을 주입하는 단계와, 상기 희생산화막을 제거한 후 상기 반도체 기판 상에 터널산화막, 폴리실리콘층 및 패드 질화막을 순차적으로 형성하는 단계와, 소자분리용 마스크를 이용하여 상기 패드 질화막을 패터닝한 후 노출된 부분의 폴리실리콘층, 터널산화막 및 반도체 기판을 순차적으로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치가 매립되도록 전체 상부면에 산화막을 형성한 후 표면을 평탄화하고 잔류된 상기 패드 질화막을 제거하여 상기 트렌치 내에 소자분리막이 형성되도록 하는 단계를 포함하는 것을 특징으로 한다.

<18> 상기 불활성 이온은 질소 이온이며, NH<sub>3</sub>를 소오스 가스로 이용하여 500 내지 1500KeV의 에너지 및 5E12 내지 5E13 ion/cm<sup>2</sup>의 도즈량으로 주입하는 것을 특징으로 한다.

<19> 상기 질량이 무거운 이온은 비소(As75) 이온이며, 10 내지 100KeV의 에너지 및 5E11 내지 1E13 ion/cm<sup>2</sup>의 도즈량으로 주입하는 것을 특징으로 한다.

### 【발명의 구성 및 작용】

<20> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

<21> 도 1a 내지 도 1i는 본 발명의 제 1 실시예를 설명하기 위한 소자의 단면도이다.

<22> 도 1a는 반도체 기판(1) 상에 희생산화막(2)을 형성한 상태의 단면도로서, 상기 희생산화막(2)은 반도체 기판(1) 표면의 결정결합을 억제하고 표면 처리를 위해 건식 또는 습식으로 형성하는데, 예를들어, 750 내지 800°C의 온도에서 DHF(50:1) + SC-1(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O) 또는 BOE(100:1 또는 300:1) + SC-1(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O)을 이용한 전처리 세정공정으로 70 내지 100Å 두께의 산화막을 형성한다.

<23> 도 1b는 소정의 마스크를 이용하여 N웰(도시않됨)이 형성될 부분의 상기 반도체 기판(1)에 이온을 주입하는 상태의 단면도이고, 도 1c는 소정의 마스크를 이용하여 P웰(도시않됨)이 형성될 부분의 상기 반도체 기판(1)에 이온을 주입하는 상태의 단면도로서, 이때, 상기 희생산화막(2)이 도편트 채널링(Dopant channeling)에 의한 내부확산을 억제하는 스크린(Screen) 산화막으로 이용된다.

<24> 삼중 구조의 웰을 갖는 플래쉬 메모리의 특징을 고려하면, 상기 N웰을 형성하기 위해서는 P31 이온을 500 내지 2000KeV의 에너지 및 5E12 내지 5E13 ion/cm<sup>2</sup>의 도즈량으로 주입하고, 상기 P웰을 형성하기 위해서는 B11 이온을 200 내지 1000KeV의 에너지 및 1E12 내지 5E13 ion/cm<sup>2</sup>의 도즈량으로 주입한다. 이때, 채널링이 억제되도록 하기 위해 3 내지 13°의 경사각을 갖는 경사이온주입 방법을 이용한다.

<25> 도 1d는 상기 반도체 기판(1)의 소정 깊이에 전기적 성질을 띠지 않는 불활성 이온을 주입하여 확산방지층(3)을 형성한 상태의 단면도로서, 상기 불활성 이온으로는 질소(N<sub>2</sub>) 이온을 사용한다. 질소(N<sub>2</sub>) 이온은 NH<sub>3</sub>를 소오스 가스로 이용하며 10 내지 100KeV의 에너지 및 5E13 내지 5E15 ion/cm<sup>2</sup>의 도즈량으로 주입하되, 채널링이 최대한 억제되도록 3 내지 13°의 경사각으로 주입한다.

<26> 도 1e는 문턱전압(V<sub>t</sub>)을 조절하기 위해 상기 반도체 기판(1) 표면부의 채널영역에 P형 이온을 주입하는 상태의 단면도로서, P형 이온으로는 붕소(B11) 이온을 사용하며, 5 내지 50KeV의 에너지 및 1E11 내지 1E13 ion/cm<sup>2</sup>의 도즈량으로 주입하되, 채널링이 최대한 억제되도록 하기 위해 3 내지 13°의 경사각을 갖는 경사이온주입 방법을 이용한다. 이때, 도 2와 같이 P형 이온가 상기 확산방지층(3) 하부로 주입되지 않도록 깊이

(Projected Range; Rp)를 조절한다. 도 2에서 선 A는 확산방지층(3)의 깊이와 농도분포를, 선 B는 문턱전압 조절용 이온이 주입된 영역의 깊이와 농도분포를 도시한다.

<27> 도 1f는 상기 희생산화막(2)을 제거하고 상기 반도체 기판(1) 상에 터널산화막(4), 폴리실리콘층(5) 및 패드 질화막(6)을 순차적으로 형성한 상태의 단면도이다.

<28> 상기 희생산화막(2)은 DHF(50:1) + SC-1(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O)을 이용한 전처리 세정과정으로 제거하며, 상기 터널산화막(4)은 750 내지 800°C의 온도에서 습식으로 형성하고, 형성 후 900 내지 910°C의 온도 및 N<sub>2</sub> 분위기에서 20 내지 30분동안 열처리한다.

<29> 상기 폴리실리콘층(5)은 580 내지 620°C의 온도 및 0.1 내지 3torr의 압력 조건에서 SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub> 및 PH<sub>3</sub> 가스를 이용한 저압화학기상증착(LP-CVD)법으로 그레인 크기가 최소화된 도프트 폴리실리콘을 250 내지 500Å의 두께로 증착하여 형성하되, P 도핑 레벨이 1.5E20 내지 3.0E20 atoms/cc 정도로 유지되도록 한다.

<30> 상기 패드 질화막(6)은 저압화학기상증착(LP-CVD)법을 이용하여 900 내지 2000Å의 두께로 형성한다.

<31> 도 1g는 소자분리용 마스크를 이용한 사진 및 식각 공정으로 상기 패드 질화막(6)을 패터닝한 후 노출된 부분의 폴리실리콘층(5), 터널산화막(4) 및 반도체 기판(1)을 순차적으로 식각하여 미세 크기의 트렌치(7)를 형성한 상태의 단면도로서, 이때, 트렌치(7)의 측벽이 소정의 경사각을 갖도록 식각한다.

<32> 도 1h는 상기 트렌치(7)가 매립되도록 전체 상부면에 고밀도 플라즈마(High Density Plasma) 산화막(8)을 4000 내지 10000Å의 두께로 형성한 후 화학적 기계적 연

마(Chaemical Mechanical Polishing) 공정으로 표면을 평탄화시킨 상태의 단면도로서, 이때, 상기 패드 질화막(6)이 소정 두께 연마되도록 한다.

<33> 도 1i는 상기 반도체 기판(1)을 인산( $H_3PO_4$ )에 담가 잔류된 상기 패드 질화막(6)을 제거하므로써 트렌치(7) 내에 소자분리막(8)이 형성된 상태의 단면도이다.

<34> 이후, 묽은 HF(50:1) 용액을 이용하여 노출된 폴리실리콘층(5)의 표면에 성장된 자연산화막(도시않됨)을 제거하고 원하는 두께의 플로팅 게이트를 얻기 위해 폴리실리콘층(5) 상에 400 내지 1000 Å 두께의 폴리실리콘을 증착한다. 그리고 일반적인 플래쉬 메모리 소자의 제조 과정에 따라 플래쉬 메모리 셀을 형성한다.

<35> 도 3a 내지 도 3i는 본 발명의 제 2 실시예를 설명하기 위한 소자의 단면도이다.

<36> 도 3a는 반도체 기판(11) 상에 희생산화막(12)을 형성한 상태의 단면도로서, 상기 희생산화막(12)은 반도체 기판(11) 표면의 결정결함을 억제하고 표면 처리를 위해 건식 또는 습식으로 형성하는데, 예를들어, 750 내지 800°C의 온도에서 DHF(50:1) + SC-1( $NH_4OH/H_2O_2/H_2O$ ) 또는 BOE(100:1 또는 300:1) + SC-1( $NH_4OH/H_2O_2/H_2O$ )을 이용한 전처리 세정 공정으로 70 내지 100 Å 두께의 산화막을 형성한다.

<37> 도 3b는 소정의 마스크를 이용하여 N웰(도시않됨)이 형성될 부분의 상기 반도체 기판(11)에 이온을 주입하는 상태의 단면도이고, 도 3c는 소정의 마스크를 이용하여 P웰(도시않됨)이 형성될 부분의 상기 반도체 기판(11)에 이온을 주입하는 상태의 단면도로서, 이때, 상기 희생산화막(12)이 도편트 채널링에 의한 내부확산을 억제하는 스크린 산화막으로 이용된다.

<38> 삼중 구조의 웨를 갖는 플래쉬 메모리의 특징을 고려하면 상기 N웨를 형성하기 위해서는 P31 이온을 500 내지 2000KeV의 에너지 및 5E12 내지 5E13 ion/cm<sup>2</sup>의 도즈량으로 주입하고, 상기 P웨를 형성하기 위해서는 B11 이온을 200 내지 1000KeV의 에너지 및 1E12 내지 5E13 ion/cm<sup>2</sup>의 도즈량으로 주입한다. 이때, 채널링이 억제되도록 하기 위해 3 내지 13°의 경사각을 갖는 경사이온주입 방법을 이용한다.

<39> 도 3d는 인위적으로 문턱전압(Vt)을 낮추기 위해 상기 반도체 기판(11) 표면부의 채널영역에 질량이 무거운 이온을 주입하여 이온주입층(13)을 형성한 상태의 단면도로서, 상기 이온으로는 비소(As75) 이온을 사용하며, 고전류의 이온주입기를 사용하여 10 내지 100KeV의 에너지 및 5E11 내지 1E13 ion/cm<sup>2</sup>의 도즈량으로 주입하되, 채널링이 최대한 억제되도록 3 내지 13°의 경사각으로 주입한다. 이때, 채널영역에 결함이 생성되지 않도록 이온주입을 실시해야 한다.

<40> 도 3e는 문턱전압(Vt)을 조절하기 위해 상기 반도체 기판(11) 표면부의 이온주입층(13)에 P형 이온을 주입하는 상태의 단면도로서, P형 이온으로는 봉소(B11) 이온을 사용하며, 5 내지 50KeV의 에너지 및 1E11 내지 1E13 ion/cm<sup>2</sup>의 도즈량으로 주입하되, 채널링이 최대한 억제되도록 하기 위해 3 내지 13°의 경사각을 갖는 경사이온주입 방법을 이용한다. 이때, 도 4와 같이 P형 이온과 상기 비소(As75) 이온보다 많이 주입되어야 한다. 도 4에서 선 C는 이온주입층(13)의 깊이와 농도분포를, 선 D는 문턱전압 조절용 이온이 주입된 영역의 깊이와 농도분포를 도시한다.

<41> 도 3f는 상기 희생산화막(12)을 제거하고 상기 반도체 기판(11) 상에 터널산화막(14), 폴리실리콘층(15) 및 패드 질화막(16)을 순차적으로 형성한 상태의 단면도이다.

<42> 상기 희생산화막(12)은 DHF(50:1) + SC-1(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O)을 이용한 전처리 세정과정으로 제거하며, 상기 터널산화막(14)은 750 내지 800°C의 온도에서 습식으로 형성하고, 형성 후 900 내지 910°C의 온도 및 N<sub>2</sub> 분위기에서 20 내지 30분동안 열처리한다.

<43> 상기 폴리실리콘층(15)은 580 내지 620°C의 온도 및 0.1 내지 3torr의 압력 조건에서 SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub> 및 PH<sub>3</sub> 가스를 이용한 저압화학기상증착(LP-CVD)법으로 그레인 크기가 최소화된 도프트 폴리실리콘을 250 내지 500Å의 두께로 증착하되, P 도핑 레벨이 1.5E20 내지 3.0E20 atoms/cc 정도로 유지되도록 한다.

<44> 상기 패드 질화막(16)은 저압화학기상증착(LP-CVD)법을 이용하여 900 내지 2000Å의 두께로 형성한다.

<45> 도 3g는 소자분리용 마스크를 이용한 사진 및 식각 공정으로 상기 패드 질화막(16)을 패터닝한 후 노출된 부분의 폴리실리콘층(15), 터널산화막(14) 및 반도체 기판(11)을 순차적으로 식각하여 미세 크기의 트렌치(17)를 형성한 상태의 단면도로서, 이때, 트렌치(17)의 측벽이 소정의 경사각을 갖도록 식각한다.

<46> 도 3h는 상기 트렌치(17)가 매립되도록 전체 상부면에 고밀도 플라즈마(HDP) 산화막(18)을 4000 내지 10000Å의 두께로 형성한 후 화학적 기계적 연마(CMP) 공정으로 표면을 평탄화시킨 상태의 단면도로서, 이때, 상기 패드 질화막(16)이 소정 두께 연마되도록 한다.

<47> 도 3i는 상기 반도체 기판(11)을 인산(H<sub>3</sub>PO<sub>4</sub>)에 담가 잔류된 상기 패드 질화막(16)을 제거하므로써 트렌치(17) 내에 소자분리막(18)이 형성된 상태의 단면도이다.

<48> 이후, 묽은 HF(50:1) 용액을 이용하여 노출된 폴리실리콘층(15)의 표면에 성장된 자연산화막(도시않됨)을 제거하고 원하는 두께의 플로팅 게이트를 얻기 위해 폴리실리콘 층(15) 상에 400 내지 1000Å 두께의 폴리실리콘을 증착한다. 그리고 일반적인 플래쉬 메모리 소자의 제조 과정에 따라 플래쉬 메모리 셀을 형성한다.

### 【발명의 효과】

<49> 상기와 같이 본 발명은 문턱전압 이온을 주입하기 전에 채널영역의 하부에 전기적 성질을 띠지 않는 불활성 이온을 주입하여 확산방지층을 형성하므로써 후속 열처리 과정에서 발생되는 문턱전압 조절용 이온의 하부 확산이 방지되며, P웰에 고전압 인가시 채널영역에서의 이온의 거동이 억제된다. 또한, 상기 확산방지층은 반도체 기판에 존재하는 결함 등을 게터링하는 층으로 작용하며, 상기 불활성 이온의 주입 깊이를 조절하면 채널이온의 양을 조절할 수 있으므로 고집적화에 따른 문턱전압 조건의 조절이 용이해진다.

<50> 또한, 본 발명은 문턱전압 이온을 주입하기 전에 채널영역에 질량이 무거운 이온을 주입하므로써 후속 열처리 과정에서 문턱전압 조절용 이온의 거동이 억제되어 하부 확산이 방지되며, 긴 채널에서의 문턱전압을 인위적으로 낮게 할 수 있고, 이온의 주입 깊이를 조절하면 채널이온의 양을 조절할 수 있으므로 고집적화에 따른 소자의 문턱전압 조건의 조절이 용이해진다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 희생산화막을 형성하는 단계와,

상기 반도체 기판에 삼중 구조의 웰을 형성하는 단계와,

상기 반도체 기판의 소정 깊이에 불활성 이온을 주입하여 확산방지층을 형성하는 단계와,

상기 확산방지층 상부의 반도체 기판에 문턱전압 조절용 이온을 주입하는 단계와,

상기 희생산화막을 제거한 후 상기 반도체 기판 상에 터널산화막, 폴리실리콘층 및

패드 질화막을 순차적으로 형성하는 단계와,

소자분리용 마스크를 이용하여 상기 패드 질화막을 패터닝한 후 노출된 부분의 폴리실리콘층, 터널산화막 및 반도체 기판을 순차적으로 식각하여 트렌치를 형성하는 단계 와,

상기 트렌치가 매립되도록 전체 상부면에 산화막을 형성한 후 표면을 평탄화하고 잔류된 상기 패드 질화막을 제거하여 상기 트렌치 내에 소자분리막이 형성되도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 불활성 이온은 질소 이온이며, NH<sub>3</sub>를 소오스 가스로 이용하여 500 내지 1500KeV의 에너지 및 5E12 내지 5E13 ion/cm<sup>2</sup>의 도즈량으로 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 3】**

반도체 기판 상에 희생산화막을 형성하는 단계와,

상기 반도체 기판에 삼중 구조의 웨л을 형성하는 단계와,

상기 반도체 기판의 채널영역에 질량이 무거운 이온을 주입하여 이온주입층을 형성하는 단계와,

상기 이온주입층에 문턱전압 조절용 이온을 주입하는 단계와,

상기 희생산화막을 제거한 후 상기 반도체 기판 상에 터널산화막, 폴리실리콘층 및 패드 질화막을 순차적으로 형성하는 단계와,

소자분리용 마스크를 이용하여 상기 패드 질화막을 패터닝한 후 노출된 부분의 폴리실리콘층, 터널산화막 및 반도체 기판을 순차적으로 식각하여 트렌치를 형성하는 단계와,

상기 트렌치가 매립되도록 전체 상부면에 산화막을 형성한 후 표면을 평탄화하고 잔류된 상기 패드 질화막을 제거하여 상기 트렌치 내에 소자분리막이 형성되도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 4】**

제 3 항에 있어서, 상기 질량이 무거운 이온은 비소(As75) 이온이며, 10 내지 100KeV의 에너지 및 5E11 내지 1E13 ion/cm<sup>2</sup>의 도즈량으로 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 5】**

제 1 또는 제 3 항에 있어서, 상기 희생산화막은 750 내지 800°C의 온도에서 DHF(50:1) + SC-1(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O) 및 BOE(100:1 또는 300:1) + SC-1(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O) 중 어느 하나의 혼합용액을 이용한 세정공정으로 형성하며, 70 내지 100Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 6】**

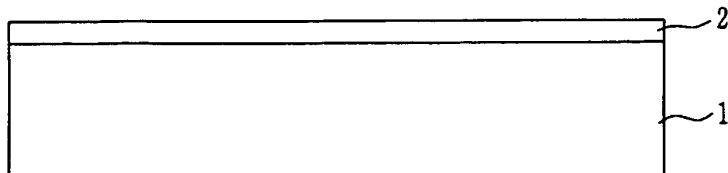
제 1 또는 제 3 항에 있어서, 상기 문턱전압 조절용 이온은 봉소(B11) 이온이며, 5 내지 50KeV의 에너지 및 1E11 내지 1E13 ion/cm<sup>2</sup>의 도즈량으로 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 7】**

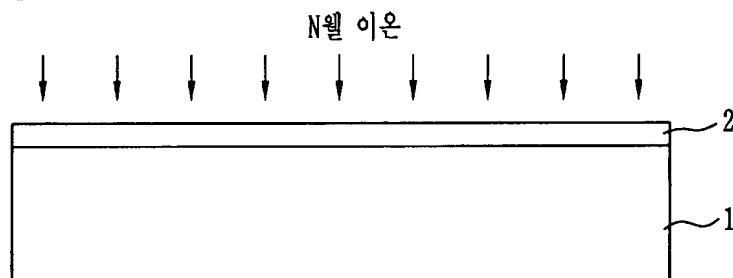
제 1 또는 제 3 항에 있어서, 상기 희생산화막은 DHF(50:1) + SC-1(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O)을 이용한 세정공정으로 제거하는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【도면】

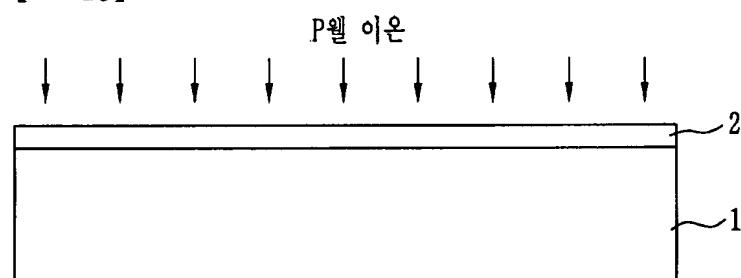
【도 1a】



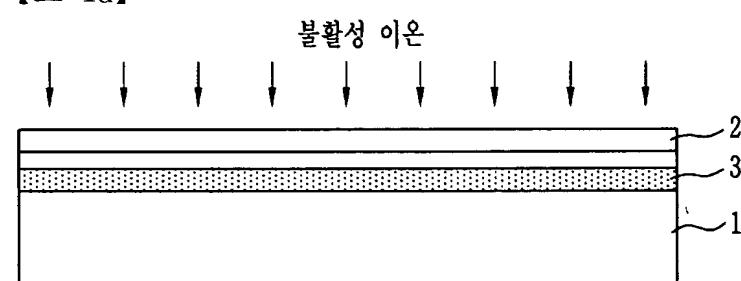
【도 1b】



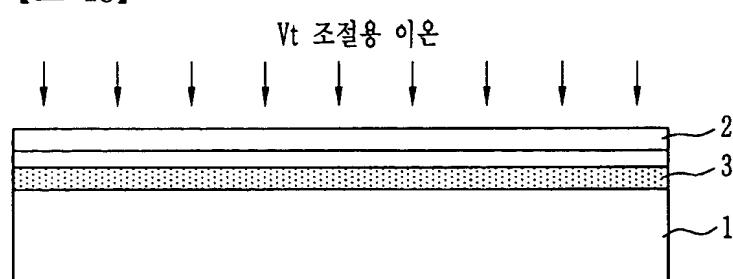
【도 1c】



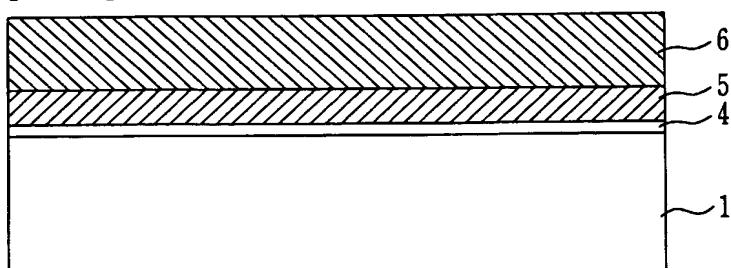
【도 1d】



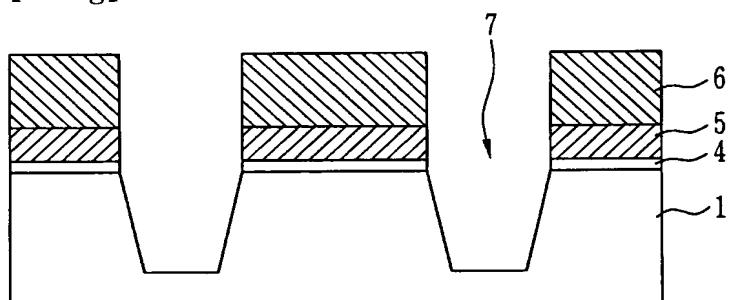
【도 1e】



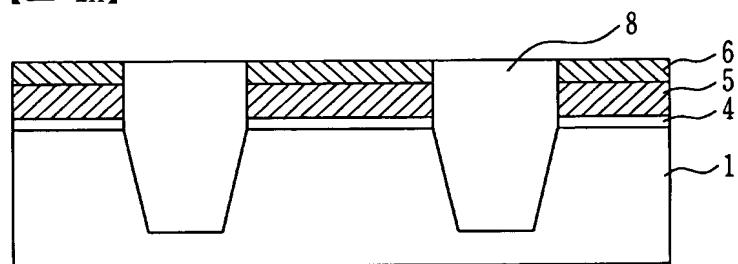
【도 1f】



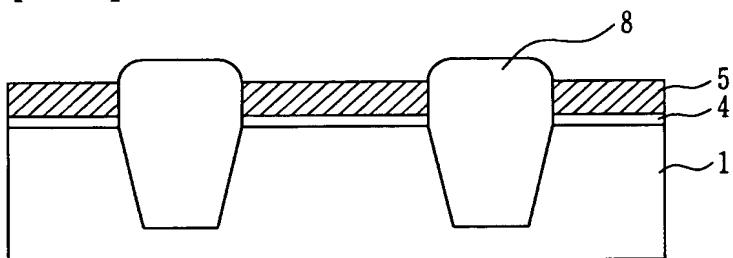
【도 1g】



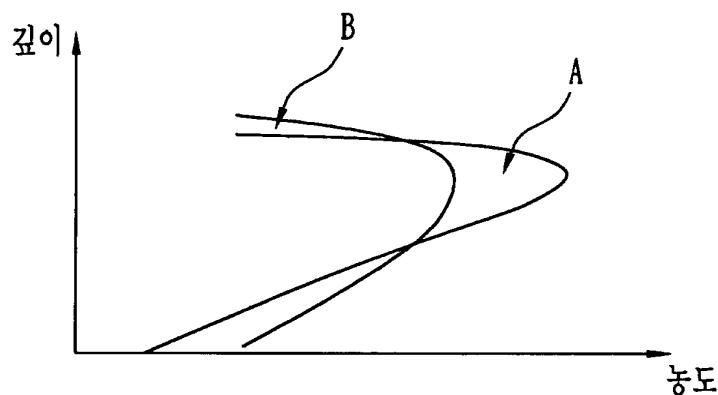
【도 1h】



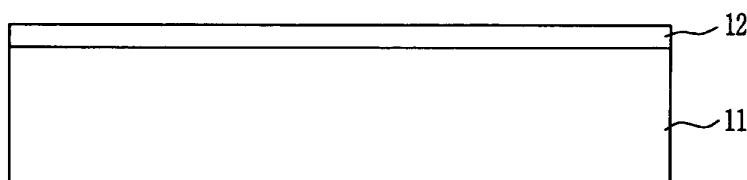
【도 1i】



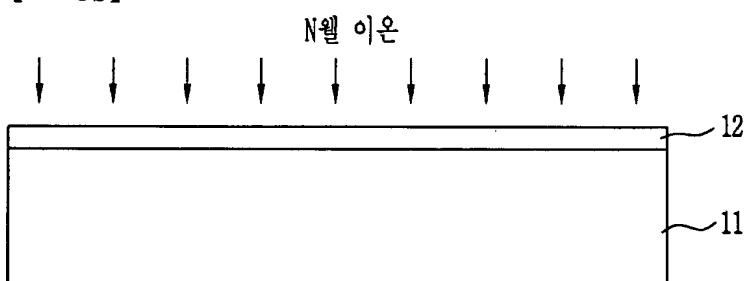
【도 2】



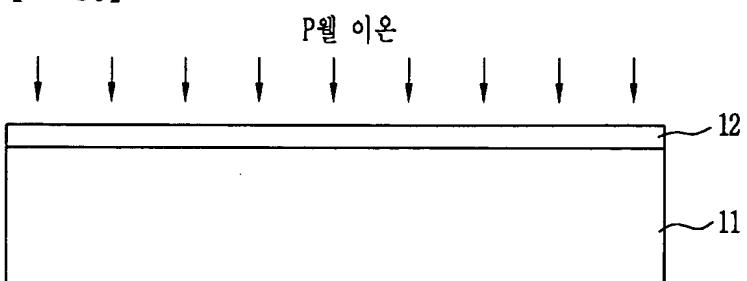
【도 3a】



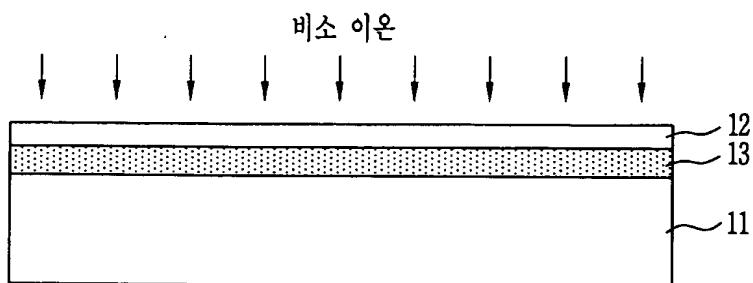
【도 3b】



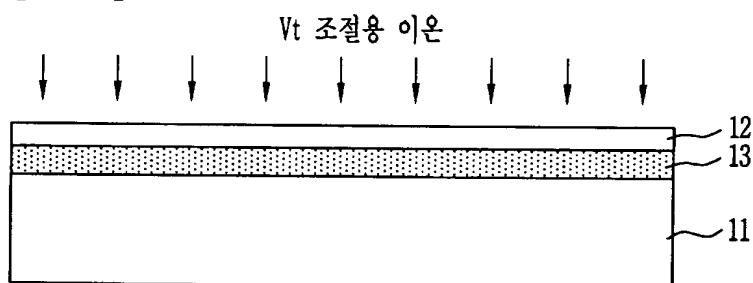
【도 3c】



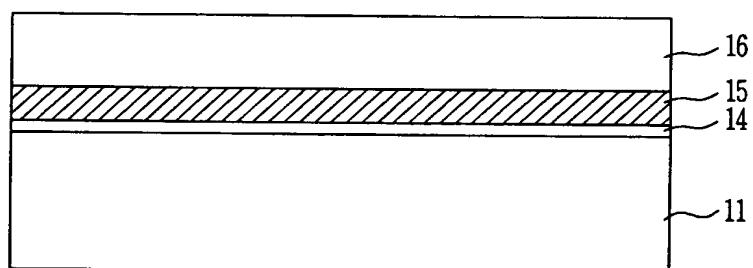
【도 3d】



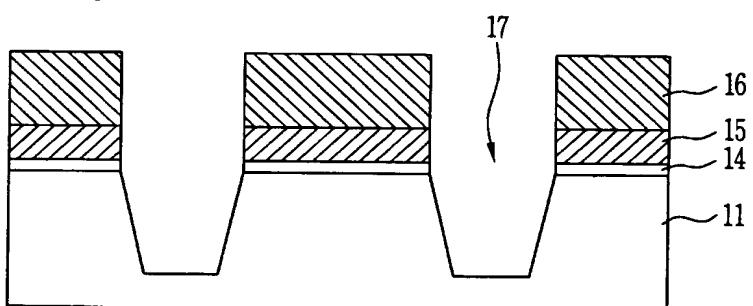
【도 3e】



【도 3f】



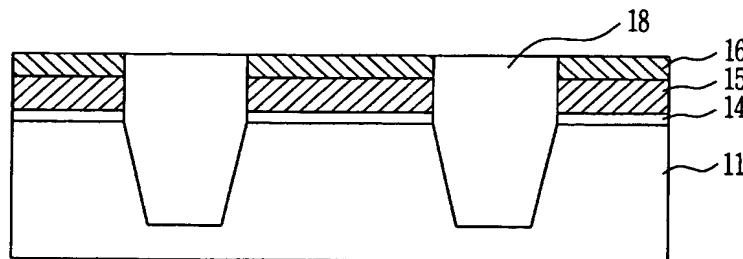
【도 3g】



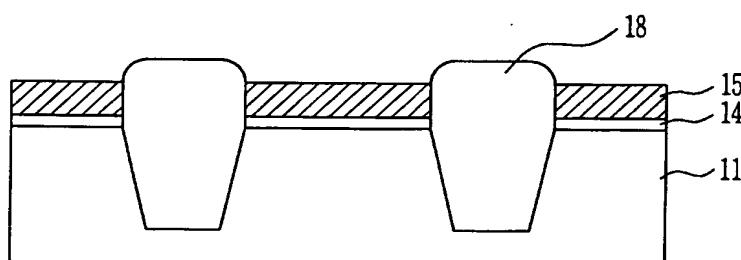
1020020040697

출력 일자: 2003/4/17

【도 3h】



【도 3i】



【도 4】

